



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

∴ This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0021059  
Application Number

출원년월일 : 2003년 04월 03일  
Date of Application APR 03, 2003

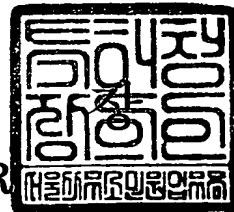
출원인 : 주식회사 하이닉스반도체  
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 06 일

특 허 청

COMMISSIONER



## 【서지사항】

**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0004  
**【제출일자】** 2003.04.03  
**【발명의 명칭】** 낸드 플래시 메모리 소자의 제조 방법  
**【발명의 영문명칭】** Method of manufacturing NAND flash memory device  
**【출원인】**  
**【명칭】** (주)하이닉스 반도체  
**【출원인코드】** 1-1998-004569-8  
**【대리인】**  
**【성명】** 신영무  
**【대리인코드】** 9-1998-000265-6  
**【포괄위임등록번호】** 1999-003525-1  
**【발명자】**  
**【성명의 국문표기】** 우원식  
**【성명의 영문표기】** WOO, Won Sic  
**【주민등록번호】** 690214-1017813  
**【우편번호】** 471-744  
**【주소】** 경기도 구리시 인창동 주공아파트 414-1902  
**【국적】** KR  
**【심사청구】** 청구  
**【취지】** 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 신영무 (인)  
**【수수료】**  
**【기본출원료】** 20 면 29,000 원  
**【가산출원료】** 13 면 13,000 원  
**【우선권주장료】** 0 건 0 원  
**【심사청구료】** 10 항 429,000 원  
**【합계】** 471,000 원  
**【첨부서류】** 1. 요약서·명세서(도면)\_1통

**【요약서】****【요약】**

본 발명은 낸드 플래시 메모리 소자의 제조 방법에 관한 것이다. 셀 지역에 드레인 선택 트랜지스터들, 소오스 선택 트랜지스터들 및 메모리 셀들을 형성하고, 주변회로 지역에 주변 트랜지스터들을 형성한 후, 이들을 전기적으로 연결시키기 위해 금속 콘택 공정을 실시한다. 금속 콘택 공정 중 소오스 선택 트랜지스터들 각각의 소오스 영역을 연결하는 공통 소오스 라인은 층간 절연막을 패터닝하여 소오스 영역들을 노출시키고, 계속해서 각 소오스 영역들 사이의 소자 분리막들을 제거하여 공통 소오스 라인 콘택홀을 형성하고, 이온주입 공정으로 공통 소오스 라인 콘택홀 저면의 반도체 기판에 이온주입 영역을 형성하고, 공통 소오스 라인 콘택홀이 채워지도록 도전층을 형성한 후, 도전층층 뿐만 아니라 층간 절연막도 일정 두께 제거되도록 전면 식각하여 형성된다. 공통 소오스 라인은 이온주입 공정에 의해 형성된 불순물 영역을 포함할 뿐만 아니라 소자 분리막의 제거된 부분에 도전층이 채워져 있어, 그 만큼 전기적인 저항이 감소되며, 이로 인하여 공통 소오스 라인의 저항에 관련이 있는 층간 절연막의 높이를 낮게 할 수 있고, 결국 애스펙트 비율을 감소시킬 수 있어 후속 콘택 공정을 용이하게 한다.

**【대표도】**

도 6b

**【색인어】**

NAND 플래시, 금속 콘택, 공통 소오스 라인

**【명세서】****【발명의 명칭】**

낸드 플래시 메모리 소자의 제조 방법 {Method of manufacturing NAND flash memory device}

**【도면의 간단한 설명】**

도 1a는 종래 기술에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도이다.

도 1b는 종래 기술에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위해 공통 소오스 라인이 형성될 영역을 따라 절단한 단면도이다.

도 2a 내지 도 6a는 본 발명의 실시예에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도들이다.

도 2b 내지 도 6b는 본 발명의 실시예에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위해 공통 소오스 라인이 형성될 영역을 따라 절단한 단면도들이다.

**<도면의 주요 부분에 대한 부호의 설명>**

11, 31: 반도체 기판    12, 32: 소자 분리막

13S, 33S: 셀 소오스 영역    13C, 33C: 셀 불순물 영역

13D, 33D: 셀 드레인 영역    13P, 33P: 소오스/드레인 접합부

14, 34: 식각 정지막    15, 35: 제 1 층간 절연막

36: 공통 소오스 라인 콘택홀 37: 이온주입 영역

18, 38: 제 2 층간 절연막 19, 39: 트렌치 식각 정지막

20, 40: 트렌치 절연막

41S: 공통 소오스 라인 콘택용 다마신 패턴

41D: 셀 드레인 콘택용 다마신 패턴

41P: 주변 트랜지스터의 소오스/드레인 콘택용 다마신 패턴

41G: 주변 트랜지스터의 게이트 콘택용 다마신 패턴

22S, 42S: 셀 소오스용 금속 배선

22D, 42D: 비트라인

22P, 42P: 주변 트랜지스터의 게이트용 금속 배선

22G, 42G: 주변 트랜지스터의 소오스/드레인 접합부용 금속배선

SST: 소오스 선택 트랜지스터 MC1, . . . , MCn: 메모리 셀

DST: 드레인 선택 트랜지스터 PT: 주변 트랜지스터

CSL: 공통 소오스 라인 DCP: 드레인 콘택 플러그

## 【발명의 상세한 설명】

## 【발명의 목적】

## 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <24> 본 발명은 낸드 플래시 메모리 소자의 제조 방법에 관한 것으로, 특히 금속 콘택(metal contact) 공정 시에 애스펙트 비율(aspect ratio)을 감소시킬 수 있는 낸드 플래시 메모리 소자의 제조 방법에 관한 것이다.
- <25> 플래시 메모리 소자와 같은 비휘발성 메모리 소자의 셀에 저장된 정보는 전원이 차단 될 지라도 소멸되지 않는다. 따라서, 플래시 메모리 소자는 메모리 카드 등에 널리 적용된다. 플래시 메모리 소자는 두 가지로 분류된다. 그 하나는 낸드형(NAND-Type) 플래시 메모리 소자이고, 다른 하나는 노어형(NOR-Type) 플래시 메모리 소자이다.
- <26> 낸드 플래시 메모리 소자는 셀 지역과 주변회로 지역으로 크게 구분 지을 수 있다. 셀 지역은 복수개의 스트링으로 구성되며, 각 스트링에는 소오스 선택 트랜지스터, 복수개의 메모리 셀 및 드레인 선택 트랜지스터가 직렬로 연결된다. 소오스 선택 트랜지스터의 소오스 영역은 공통 소오스 라인과 접속되고, 드레인 선택 트랜지스터의 드레인 영역은 비트라인과 접속된다. 주변회로 지역은 PMOS 트랜지스터와 NMOS 트랜지스터 등의 주변 트랜지스터들로 구성된다.
- <27> 한편, 노어 플래시 메모리 소자의 셀 지역은 복수개의 메모리 셀, 비트라인들 및 공통 소오스 라인들을 포함하여 구성되는데, 비트라인 및 공통 소오스 라인 사이에는 하나의 메모리 셀만이 개재된다.

- <28> 따라서, 낸드 플래시 메모리 소자는 노어 플래시 메모리 소자에 비하여 높은 집적도를 보이는 반면에, 높은 셀 전류를 필요로 한다. 여기서, 셀 전류는 메모리 셀에 저장된 정보를 독출하는 동안 비트라인 및 공통 소오스 라인을 통하여 흐르는 전류를 의미한다. 따라서, 낸드 플래시 메모리 소자의 셀 전류를 증가시키기 위한 노력은 노어 플래시 메모리 소자에 비하여 더욱 요구되고 있다. 그 이유는 셀 전류가 클수록 플래시 메모리 소자의 액세스 시간(access time)이 빨라지기 때문이다. 결과적으로, 낸드 플래시 메모리 소자의 동작 속도를 향상시키기 위해서는 비트라인 및/또는 공통 소오스 라인의 전기적인 저항을 감소시키는 것이 요구된다.
- <29> 도 1a는 종래 기술에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도이고, 도 1b는 종래 기술에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위해 공통 소오스 라인이 형성될 영역을 따라 절단한 단면도이다.
- <30> 도 1a 및 도 1b를 참조하면, 반도체 기판(11)의 소정영역에 서로 평행한 복수개의 소자 분리막들(12)을 형성하여 활성영역을 한정(define)한다. 소자 분리막들(12)은 로코스(LOCOS; local oxidation of silicon) 공정 또는 트렌치 소자 분리 공정으로 형성하며, 최근에는 소자의 고집적화를 위해 트렌치 소자 분리 공정을 많이 적용하고 있다. 낸드 플래시 메모리 소자는 셀 지역과 주변회로 지역으로 크게 구분 지을 수 있는데, 셀 지역은 복수개의 스트링으로 구성되며, 각 스트링에는 소오스 선택 트랜지스터(SST), 복수개의 메모리 셀들(MC1, . . . , MCn) 및 드레인 선택 트랜지스터(DST)가 직렬로 연결되어 형성된다. 주변회로 지역은 PMOS 트랜지스터와 NMOS 트랜지스터 등의 주변 트랜지스터(PT)가 형성된다. 이후, 이들을 전기적으로 연결시키기 위해 금속 콘택 공정을 실시하는데, 이하에서 설명된다.
- <31> 전체 구조상에 식각 정지막(14)을 형성한 후, 식각 정지막(14)이 형성된 결과물 전체 구조상에 제 1 층간 절연막(15)을 형성한다. 제 1 층간 절연막(15)의 표면을 화학적 기계적

연마(CMP) 공정으로 평탄화한 후, 공통 소오스 라인용 마스크를 사용한 식각 공정으로 제 1 층간 절연막(15) 및 식각 정지막(14)을 식각하여 셀 소오스 영역들(13S) 및 소자 분리막들(12)이 노출된 공통 소오스 라인 콘택홀을 형성하고, 공통 소오스 라인 콘택홀이 채워지도록 도프트 폴리실리콘층을 형성한 후, 제 1 층간 절연막(15)이 노출되도록 도프트 폴리실리콘층을 전면식각하여 공통 소오스 라인(CSL)을 형성한다. 이러한 공정을 일명 셀 소오스 폴리 플러그(cell source poly plug) 공정이라 칭한다.

<32> 공통 소오스 라인(CSL)을 포함한 제 1 층간 절연막(15) 상에 제 2 층간 절연막(18)을 형성하고, 드레인 콘택용 마스크를 사용한 식각 공정으로 제 2 층간 절연막(18), 제 1 층간 절연막(15) 및 식각 정지막(14)을 식각하여 셀 드레인 영역(13D) 각각이 노출된 셀 드레인 콘택홀들을 형성하고, 셀 드레인 콘택홀들이 채워지도록 도프트 폴리실리콘층을 형성한 후, 제 2 층간 절연막(18)이 노출되도록 도프트 폴리실리콘층을 전면식각하여 셀 드레인 콘택 플러그들(DCP)을 형성한다. 이러한 공정을 일명 셀 드레인 폴리 플러그(cell drain poly plug) 공정이라 칭한다.

<33> 셀 드레인 콘택 플러그들(DCP)을 포함한 제 2 층간 절연막(18) 상에 트렌치 절화막(19) 및 트렌치 산화막(20)을 순차적으로 형성한 후, 다마신(damascene) 공정으로 다마신 패턴들을 형성한다. 다마신 패턴들이 매립되도록 금속을 증착한 후, 전면 식각 공정을 실시하여 공통 소오스 라인(CSL)에 연결되는 금속 배선(22S), 드레인 콘택 플러그(DCP)에 연결되는 비트라인(22D), 주변 트랜지스터(PT)의 게이트에 연결되는 금속 배선(22G) 및 주변 트랜지스터(PT)의 소오스/드레인 접합부(13P)에 연결되는 금속 배선(22P)을 형성한다.



<34> 상술한 바와 같이, 종래의 기술에 따르면, 공통 소오스 라인(CSL)은 제 1 층간 절연막(15)에 의해 두께가 결정된다. 다시 말해서, 공통 소오스 라인(CSL)의 전기적인 저항은 제 1 층간 절연막(15)의 두께가 두꺼울수록 감소된다. 따라서, 공통 소오스 라인(CSL)의 전기적인 저항을 고려할 때 제 1 층간 절연막(15)의 두께를 줄이는데 한계가 있게 되며, 이로 인하여 후속 금속 콘택 공정 특히 셀 드레인 콘택 공정에서 애스펙트 비율의 증가 요인으로 작용하여 셀 드레인 콘택 플러그(DCP)를 먼저 형성할 수 밖에 없으며, 애스펙트 비율이 심할 경우 주변 트랜지스터(PT)의 게이트에 연결되는 금속 배선(22G) 및 주변 트랜지스터(PT)의 소오스/드레인 접합부(13P)에 연결되는 금속 배선(22P)을 형성을 위한 콘택 공정을 별도의 마스크 작업으로 실시할 수 밖에 없는 공정상의 번거로움이 따르게 된다. 결과적으로, 고성능 낸드 플래시 메모리 소자를 구현하기 위해서는 비트라인(22D)을 셀 드레인 영역(13D)에 연결하기 위한 콘택홀의 애스펙트 비율이 증가하는 것을 방지하면서 공통 소오스 라인의 저항을 최소화시키는 것이 요구된다.

#### 【발명이 이루고자 하는 기술적 과제】

<35> 따라서, 본 발명은 공통 소오스 라인의 저항을 감소시키면서 드레인 콘택홀의 애스펙트 비율을 감소시킬 수 있는 낸드 플래시 메모리 소자의 제조 방법을 제공하는데 그 목적이 있다.

#### 【발명의 구성 및 작용】

<36> 상기한 목적을 달성하기 위한 본 발명의 실시예에 따른 낸드 플래시 메모리 소자의 제조 방법은 서로 평행한 복수개의 소자 분리막들이 형성되고, 셀 지역에는 복수개의 스트링 각

각에 셀 소오스 영역을 갖는 소오스 선택 트랜지스터, 셀 불순물 영역을 갖는 복수개의 메모리 셀들 및 셀 드레인 영역을 갖는 드레인 선택 트랜지스터가 직렬로 연결되어 형성되고, 주변 회로 지역에는 소오스/드레인 접합부를 갖는 주변 트랜지스터가 형성된 반도체 기판이 제공되는 단계; 상기 결과물이 형성된 반도체 기판 상에 제 1 층간 절연막을 형성하는 단계; 상기 제 1 층간 절연막의 일부분을 식각하여 상기 셀 소오스 영역들 및 이 영역들 사이의 소자 분리막들을 노출시키고, 상기 노출된 소자 분리막들을 식각하여 반도체 기판이 노출되는 공통 소오스 라인 콘택홀을 형성하는 단계; 이온주입 공정을 실시하여 상기 공통 소오스 라인 콘택홀 저면의 상기 노출된 반도체 기판에 이온주입 영역을 형성하는 단계; 및 상기 이온주입 영역이 형성된 상기 공통 소오스 라인 콘택홀에 도전성 물질을 채워 공통 소오스 라인을 형성하는 단계를 포함한다.

<37>       상기에서, 제 1 층간 절연막을 형성하는 단계 전에, 상기 결과물이 형성된 반도체 기판 상에 상기 제 1 층간 절연막에 대하여 식각 선택비가 큰 식각 정지막을 형성하는 단계를 더 포함할 수 있다.

<38>       상기 불순물 이온주입 공정은 15keV 내지 25KeV의 주입 에너지로  $1E12$  내지  $1E14$  atom/cm<sup>2</sup>의 도우즈로 실시하며, 아세닉이나 인을 불순물 이온으로 사용한다. 상기 불순물 이온 주입 공정은 경사 주입을 병행하여 실시할 수 있다.

<39>       상기 공통 소오스 라인을 형성하는 단계는, 상기 이온주입 영역이 형성된 상기 공통 소오스 라인 콘택홀이 채워지도록 상기 제 1 층간 절연막 상에 상기 전도성 물질로 도프트 폴리실리콘을 증착하는 단계; 및 전면 식각 공정으로 상기 제 1 층간 절연막이 일정 두께 제거될 때까지 상기 증착된 도프트 폴리실리콘층을 식각하는 단계를 포함한다. 여기서, 상기 전면 식각 공정은 상기 소오스 선택 트랜지스터의 상단면이 노출되는 시점까지 실시한다.

<40>       상기 공통 소오스 라인을 형성하는 단계 후에, 상기 공통 소오스 라인을 포함한 상기 제 1 층간 절연막 상에 제 2 층간 절연막을 형성하는 단계; 상기 제 2 층간 절연막 상에 트렌치 식각 정지막 및 트렌치 절연막을 순차적으로 형성하는 단계; 다마신 공정으로 다수의 다마신 패턴들을 동시에 형성하는 단계; 및 상기 다마신 패턴들을 금속으로 채워 상기 공통 소오스 라인에 연결되는 금속 배선, 상기 셀 드레인 영역에 연결되는 비트라인, 상기 주변 트랜지스터의 게이트에 연결되는 금속 배선 및 상기 주변 트랜지스터의 상기 소오스/드레인 접합부에 연결되는 금속배선을 각각 형성하는 단계를 더 포함한다.

<41>       이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 설명하기로 한다. 그러나, 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 한편, 도면상에서 동일 부호는 동일한 요소를 지칭한다.

<42>       도 2a 내지 도 7a는 본 발명의 실시예에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위한 단면도이고, 도 2b 내지 도 7b는 본 발명의 실시예에 따른 낸드 플래시 메모리 소자의 제조 방법을 설명하기 위해 공통 소오스 라인이 형성될 영역을 따라 절단한 단면도이다.

<43>       도 2a 및 도 2b를 참조하면, 반도체 기판(31)의 소정영역에 서로 평행한 복수개의 소자 분리막들(32)을 형성하여 활성영역을 한정(define)한다. 소자 분리막들(32)은 로코스(LOCOS;

local oxidation of silicon) 공정 또는 트렌치 소자 분리 공정으로 형성하며, 소자의 고집적화를 위해 트렌치 소자 분리 공정으로 형성하는 것이 바람직하다. 낸드 플래시 메모리 소자는 셀 지역과 주변회로 지역으로 크게 구분 지을 수 있는데, 셀 지역은 복수개의 스트링(string)으로 구성되며, 각 스트링에는 소오스 선택 트랜지스터(SST), 복수개의 메모리 셀들(MC1, . . . , MCn) 및 드레인 선택 트랜지스터(DST)가 직렬로 연결되어 형성된다. 주변회로 지역은 PMOS 트랜지스터와 NMOS 트랜지스터 등의 주변 트랜지스터(Peri-Transistor; PT)가 형성된다. 소오스 선택 트랜지스터(SST)는 셀 소오스 영역(33S)을 가지며, 복수개의 메모리 셀들(MC1, . . . , MCn)은 셀 불순물 영역(33C)을 가지며, 드레인 선택 트랜지스터(DST)는 셀 드레인 영역(33D)을 가지며, 주변 트랜지스터(PT)는 소오스/드레인 접합부(33P)를 가진다. 이러한 결과물의 전체 구조상에 식각 정지막(etch stop film; 34)을 형성한 후, 식각 정지막(34)이 형성된 결과물 전체 구조상에 제 1 층간 절연막(35)을 형성한다.

<44>       상기에서, 식각 정지막(35)은 후속 공정에서 형성되는 제 1 층간 절연막(35)에 대하여 식각 선택비가 큰 절연물질, 예를 들어, 실리콘 질화물을 100 내지 500?? 정도의 얇은 두께로 결과물 전면을 따라 증착하여 형성된다. 제 1 층간 절연막(35)은 산화물 계통인 BPSG(Boron Phosphorous Silicate Glass), USG(Undoped Silicate Glass), HDP(High Density Plasma)를 4000 내지 5000?? 정도의 두께로 증착하여 형성된다.

<45>       도 3a 및 도 3b를 참조하면, 공통 소오스 라인용 마스크(도시 않음)를 사용한 식각 공정으로 제 1 층간 절연막(35) 및 식각 정지막(34)을 식각하고, 계속해서 각 셀 소오스 영역들(33S) 사이의 소자 분리막들(32)의 노출된 부분을 식각하여 셀 소오스 영역들(33S) 및 반도체 기판(31)의 일부분이 노출된 공통 소오스 라인 콘택홀(36)을 형성한다. 불순물 이온주입 공정으로 공통 소오스 라인 콘택홀(36) 저면의 반도체 기판(31)에 이온주입 영역(37)을 형성한다.

이로 인하여 공통 소오스 라인 콘택홀(36) 저면은 셀 소오스 영역들(33S)과 이 영역들(33S) 사이에 형성된 이온주입 영역(37)에 의해 연속성의 도전성 라인이 된다.

<46>       상기에서, 공통 소오스 라인 콘택홀(36)을 형성하기 위해 실시하는 식각 공정은 소자 분리막들(32)까지 식각해야 하기 때문에 노출된 셀 소오스 영역들(33S)이 식각 손상을 입게 되어 전기적 특성이 나빠질 수 있지만, 후속 불순물 이온주입 공정시에 불순물 이온이 주입되어 전기적 특성이 개선된다. 이온 주입 공정은 15keV 내지 25KeV의 주입 에너지로  $1E12$  내지  $1E14$  atom/cm<sup>2</sup>의 도우즈로 실시하며, 이때 사용하는 불순물로는 아세닉(As)이나 인(P)을 사용한다. 소자 분리막들(32)이 제거된 반도체 기판(31)의 경사진 부분에 이온주입 영역(37)이 양호하게 형성되도록 하기 위하여, 이온 주입 공정시 경사 주입(tilt implantation)을 병행하는 것이 바람직하며, 이 경사 주입을 웨이퍼를 회전시키면서 하는 것이 더욱 바람직하다.

<47>       한편, 식각 공정에 의해 소자 분리막들(32)을 제거하는 공정에서, 소자 분리막들(32)을 완전히 제거하는 것이 바람직하지만, 셀 소오스 영역들(33S)의 식각 손상이 심화될 우려가 있을 시에는 이를 고려하여 소자 분리막들(32)을 완전히 제거하지 않아도 된다. 이를 경우 공통 소오스 라인 콘택홀(36) 저면은 셀 소오스 영역들(33S)과 이 영역들(33S) 사이에 형성된 이온주입 영역(37)이 불연속되어 연속된 경우보다는 전기적 저항 측면에서 불리하겠지만, 후속 공정으로 형성되는 공통 소오스 라인에 의해 모든 셀 소오스 영역들(33S) 및 불연속의 이온주입 영역(37)이 전기적으로 상호 연결되어 지기 때문에 큰 영향은 없다.

<48>       더욱이, 공통 소오스 라인용 마스크를 사용한 식각 공정은 제 1 층간 절연막(35)의 표면을 화학적 기계적 연마(CMP) 공정으로 평탄화한 후에 실시하는 것이 통상적이지만 본 발명에서는 이러한 연마 공정 없이 진행할 수 있다. 그 이유는, 후속 공정을 설명함에 의해 이해가 될

것이지만, 공통 소오스 라인을 형성하기 위한 전면 식각 공정시에 제 1 층간 절연막(35)이 일정 두께 충분히 제거되어 결과적으로 표면이 평탄화되기 때문이다.

<49> 도 4a 및 도 4b를 참조하면, 공통 소오스 라인 콘택홀(36)이 채워지도록 제 1 층간 절연막(35) 상에 4000 내지 5000?? 정도의 두께로 도전성 물질 바람직하게는 도프트 폴리실리콘을 증착한 후, 전면 식각 공정으로 도프트 폴리실리콘층 뿐만 아니라 제 1 층간 절연막(35)을 제거할 수 있는 가능한 두께 만큼, 바람직하게는 소오스 선택 트랜지스터(SST)의 상단면의 식각 정지막(34)이 노출되는 시점까지 식각을 실시하여 공통 소오스 라인 콘택홀(36) 내에 도프트 폴리실리콘이 채워진 공통 소오스 라인(CSL)이 형성된다. 이러한 공정을 일명 셀 소오스 폴리 플러그(cell source poly plug) 공정이라 칭한다.

<50> 상기에서, 본 발명의 공통 소오스 라인(CSL)을 형성하는 공정은 제 1 층간 절연막(35)을 최대한의 두께로 제거하기 때문에 기존의 공통 소오스 라인을 형성하는 공정과 비교할 때 그 만큼 높이가 낮아져 후속 공정의 애스펙트 비율을 줄일 수 있는 장점은 있지만, 도 5b에 도시된 바와 같이, 셀 소오스 영역(33S) 상부의 두께 "T1"이 기존의 공통 소오스 라인보다 얇게 되어 전기적인 저항이 높아지는 단점이 있다. 그러나, 본 발명의 공통 소오스 라인(CSL)은 소자 분리막(32)이 제거된 부분에 도프트 폴리실리콘이 채워져 그 부분의 두께 "T2"가 비교적 두꺼워지고, 뿐만 아니라 소자 분리막(32)이 제거된 부분의 반도체 기판(31)에 형성된 이온주입 영역(37)을 포함하기 때문에 그 만큼 전기적인 저항을 감소시킬 수 있어 기존의 소자와 비교할 때 공통 소오스 라인의 전기적 저항 측면에서 불리하지 않다. 즉, 공통 소오스 라인(CSL)의 저항에 관련이 있는 제 1 층간 절연막(35)의 높이를 낮게 할 수 있어 후속 공정의 애스펙트 비율을 감소시킬 수 있게 된다.

- <51> 도 5a 및 도 5b를 참조하면, 공통 소오스 라인(CSL)을 포함한 제 1 층간 절연막(35) 상에 제 2 층간 절연막(38)을 형성한 후 화학적 기계적 연마(CMP) 공정 등으로 표면을 평탄화 한다. 제 2 층간 절연막(38) 상에 트렌치 식각 정지막(39) 및 트렌치 절연막(40)을 순차적으로 형성한 후, 다마신(damascene) 공정으로 다마신 패턴들(41S, 41D, 41P 및 41G)을 동시에 형성한다.
- <52> 상기에서, 제 2 층간 절연막(38)은 산화물 계통인 BPSG(Boron Phosphorous Silicate Glass), USG(Undoped Silicate Glass), HDP(High Density Plasma)를 4000 내지 5000?? 정도의 두께로 증착하여 형성된다. 트렌치 식각 정지막(39)은 후속 공정에서 형성되는 트렌치 절연막(40)에 대하여 식각 선택비가 큰 절연물질, 예를 들어, 실리콘 질화물을 100 내지 500?? 정도의 얇은 두께로 제 2 층간 절연막(38) 상에 증착하여 형성된다. 트렌치 절연막(40)은 산화물 계통인 BPSG(Boron Phosphorous Silicate Glass), USG(Undoped Silicate Glass), HDP(High Density Plasma)를 2500 내지 3500?? 정도의 두께로 증착하여 형성된다.
- <53> 공통 소오스 라인 콘택용 다마신 패턴(41S), 셀 드레인 콘택용 다마신 패턴(41D), 주변 트랜지스터의 소오스/드레인 콘택용 다마신 패턴(41P) 및 주변 트랜지스터의 게이트 콘택용 다마신 패턴(41G) 각각은 한번의 다마신 공정으로 동시에 형성된다. 이는 앞에서 설명한 바와 같이, 공통 소오스 라인(CSL) 형성 공정시에 제 1 층간 절연막(34)을 최대한 식각하였기 때문에 다마신 패턴들(41S, 41D, 41P 및 41G) 각각의 콘택홀 부분의 애스펙트 비율이 낮아져서 가능하다. 애스펙트 비율이 가장 높고 밀집되게 형성되는 셀 드레인 영역(33D)의 콘택홀 부분의 경우 종래에는 애스펙트 비율이 11 : 1 정도로 높아 반듯이 셀 드레인 폴리 플러그(cell drain poly plug) 공정을 실시하여 콘택홀 내부에 셀 드레인 콘택 플러그를 먼저 형성한 후 비트라인

을 별개의 공정으로 형성할 수 밖에 없었지만, 본 발명의 경우 애스펙트 비율이 8.5 : 1 정도로 줄일 수 있어 셀 드레인 콘택 플러그 공정 없이 콘택홀 부분에 금속을 매립할 수 있다.

<54> 한편, 본 발명의 공통 소오스 라인(CSL) 형성을 위한 공정을 적용하고, 이후의 공정을 상기한 본 발명의 실시예에서 설명한 방법이 아니라 통상의 방법 즉, 셀 드레인 콘택 플러그 공정 등이 사용되는 통상의 방법을 적용하여 낸드 플래시 메모리 소자를 제조할 수 있는데, 이 경우 공정의 단순화는 얻을 수 없지만 애스펙트 비율의 감소에 의한 공정 안정성을 얻을 수 있어 소자의 공정 마진을 높일 수 있다.

<55> 도 6a 및 도 6b를 참조하면, 다마신 패턴들(41S, 41D, 41P 및 41G)이 매립되도록 전체구조 상에 금속을 증착한 후, 트렌치 절연막(40)의 상부 표면이 노출될 때까지 전면 식각 공정을 실시하여 공통 소오스 라인(CSL)에 연결되는 금속 배선(42S), 셀 드레인 영역(33D)에 연결되는 비트라인(42D), 주변 트랜지스터(PT)의 게이트에 연결되는 금속 배선(42G) 및 주변 트랜지스터(PT)의 소오스/드레인 접합부(33P)에 연결되는 금속배선(42P)을 각각 형성한다.

<56> 본 발명은 적합한 실시예를 참조하여 설명된 본원의 특정 분야에 대해 제한되지 않으며, 오히려 본 발명의 범위는 본원의 특허 청구 범위에 의해서 이해되어야 한다.

### 【발명의 효과】

<57> 상술한 바와 같이, 공통 소오스 라인의 저항을 감소시키면서 드레인 콘택홀의 애스펙트 비율을 감소시키므로, 셀 드레인 콘택 플러그 공정의 생략이 가능하고 콘택 마스크 공정을 줄일 수 있어 공정의 단순화 및 생산성을 향상시킬 수 있으며, 또한 공정 마진을 확보할 수 있어 소자의 신뢰성 및 수율을 향상시킬 수 있다.



**【특허청구범위】****【청구항 1】**

서로 평행한 복수개의 소자 분리막들이 형성되고, 셀 지역에는 복수개의 스트링 각각에 셀 소오스 영역을 갖는 소오스 선택 트랜지스터, 셀 불순물 영역을 갖는 복수개의 메모리 셀들 및 셀 드레인 영역을 갖는 드레인 선택 트랜지스터가 직렬로 연결되어 형성되고, 주변회로 지역에는 소오스/드레인 접합부를 갖는 주변 트랜지스터가 형성된 반도체 기판이 제공되는 단계;

상기 결과물이 형성된 반도체 기판 상에 제 1 층간 절연막을 형성하는 단계;

상기 제 1 층간 절연막의 일부분을 식각하여 상기 셀 소오스 영역들 및 이 영역들 사이의 소자 분리막들을 노출시키고, 상기 노출된 소자 분리막들을 식각하여 반도체 기판이 노출되는 공통 소오스 라인 콘택홀을 형성하는 단계;

이온주입 공정을 실시하여 상기 공통 소오스 라인 콘택홀 저면의 상기 노출된 반도체 기판에 이온주입 영역을 형성하는 단계; 및

상기 이온주입 영역이 형성된 상기 공통 소오스 라인 콘택홀에 도전성 물질을 채워 공통 소오스 라인을 형성하는 단계를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 2】**

제 1 항에 있어서,

상기 제 1 층간 절연막을 형성하는 단계 전에,

상기 결과물이 형성된 반도체 기판 상에 상기 제 1 층간 절연막에 대하여 식각 선택비가 큰 식각 정지막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 3】**

제 2 항에 있어서,

상기 공통 소오스 라인 콘택홀을 형성하는 단계는,

상기 제 1 층간 절연막의 일부분을 식각하여 상기 식각 정지막을 노출시키는 단계; 및

상기 노출된 식각 정지막을 식각하여 상기 셀 소오스 영역들 및 이 영역들 사이의 소자 분리막들을 노출시키고, 상기 노출된 소자 분리막들을 식각하여 반도체 기판을 노출시키는 단계를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 4】**

제 1 항에 있어서,

상기 공통 소오스 라인 콘택홀은 그 저면이 상기 셀 소오스 영역들과 이 영역들 사이에 형성된 상기 이온주입 영역에 의해 연속성의 도전성 라인으로 이루어지는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 5】**

제 1 항에 있어서,

상기 불순물 이온주입 공정은 15keV 내지 25KeV의 주입 에너지로  $1E12$  내지  $1E14$  atom/cm<sup>2</sup>의 도우즈로 실시하며, 아세닉이나 인을 불순물 이온으로 사용하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 6】**

제 5 항에 있어서,

상기 불순물 이온주입 공정은 경사 주입을 병행하여 실시하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 7】**

제 6 항에 있어서,

상기 경사 주입시 웨이퍼를 회전시키는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

**【청구항 8】**

제 1 항에 있어서,

상기 공통 소오스 라인을 형성하는 단계는,

상기 이온주입 영역이 형성된 상기 공통 소오스 라인 콘택홀이 채워지도록 상기 제 1 층간 절연막 상에 상기 전도성 물질로 도프트 폴리실리콘을 증착하는 단계; 및

전면 식각 공정으로 상기 제 1 층간 절연막이 일정 두께 제거될 때까지 상기 증착된 도프트 폴리실리콘층을 식각하는 단계를 포함하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

【청구항 9】

제 8 항에 있어서,

상기 전면 식각 공정은 상기 소오스 선택 트랜지스터의 상단면이 노출되는 시점까지 실시하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

【청구항 10】

제 1 항에 있어서,

상기 공통 소오스 라인을 형성하는 단계 후에,

상기 공통 소오스 라인을 포함한 상기 제 1 층간 절연막 상에 제 2 층간 절연막을 형성하는 단계;

상기 제 2 층간 절연막 상에 트렌치 식각 정지막 및 트렌치 절연막을 순차적으로 형성하는 단계;

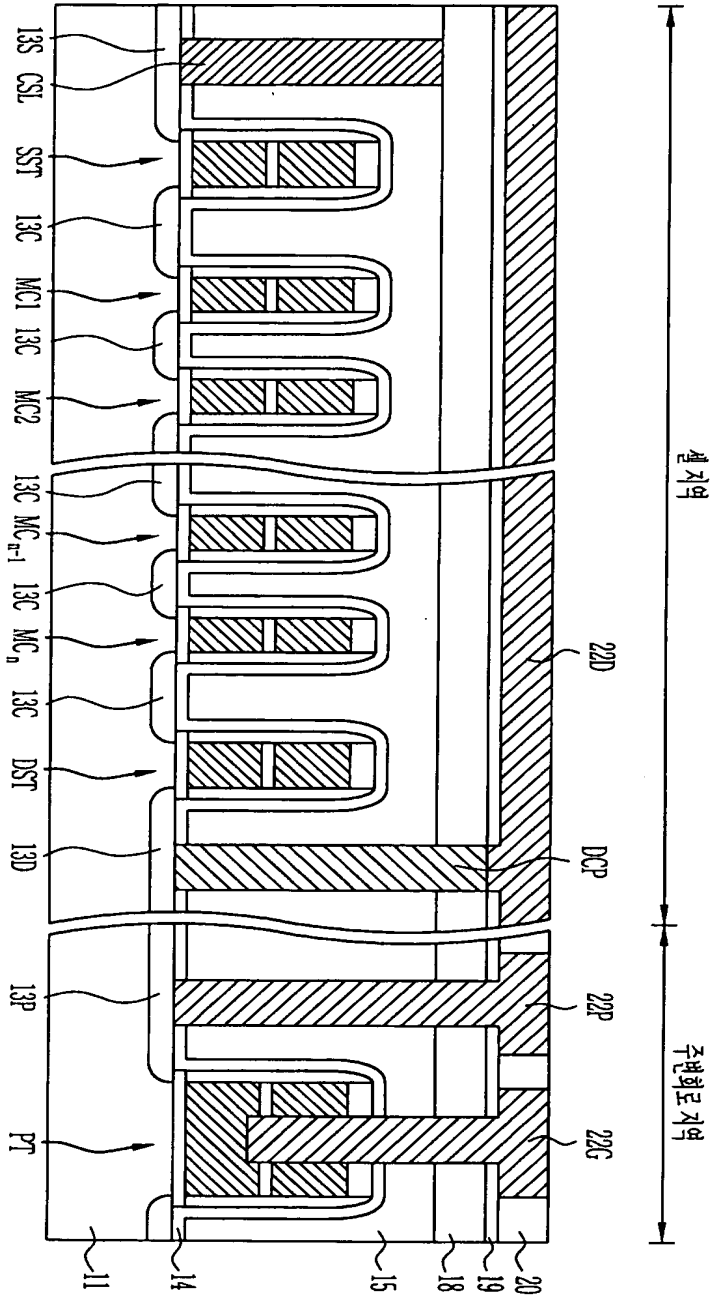
다마신 공정으로 다수의 다마신 패턴들을 동시에 형성하는 단계; 및

상기 다마신 패턴들을 금속으로 채워 상기 공통 소오스 라인에 연결되는 금속 배선, 상기 셀 드레인 영역에 연결되는 비트라인, 상기 주변 트랜지스터의 게이트에 연결되는 금속 배

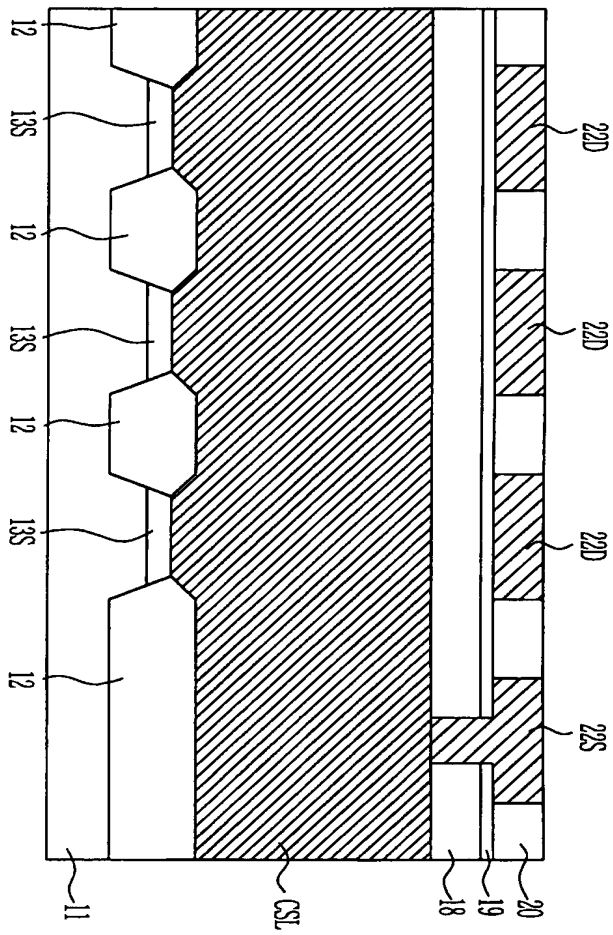
선 및 상기 주변 트랜지스터의 상기 소오스/드레인 접합부에 연결되는 금속배선을 각각 형성하는 단계를 더 포함하는 것을 특징으로 하는 낸드 플래시 메모리 소자의 제조 방법.

【도면】

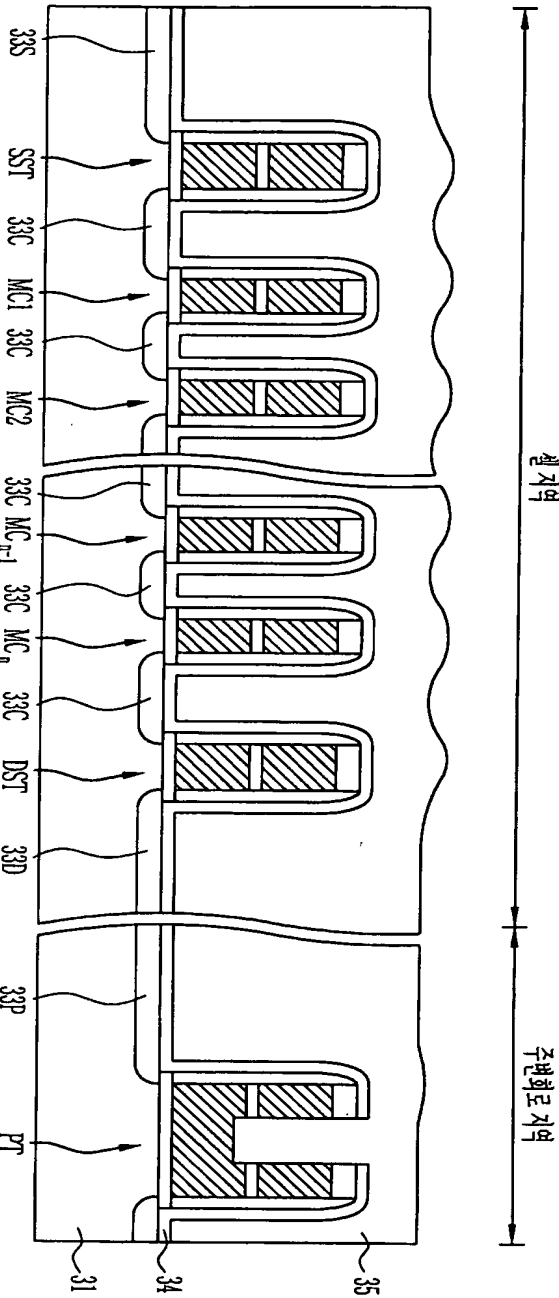
【도면 1a】



【도 1b】



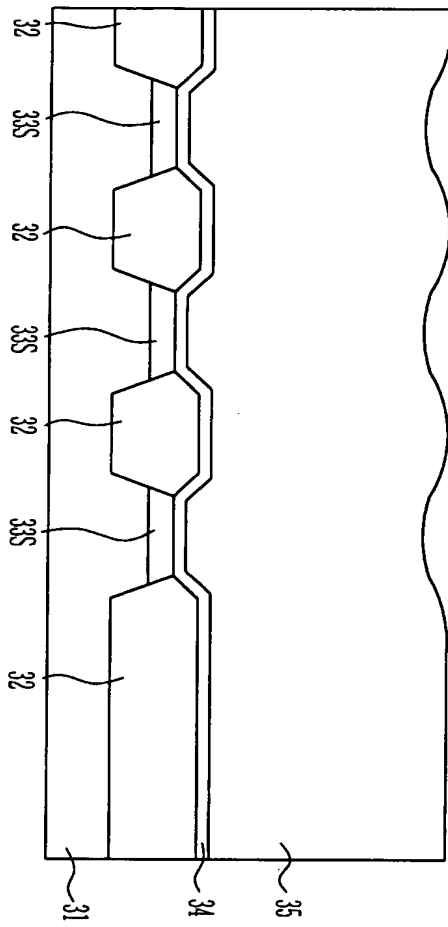
【도 2a】



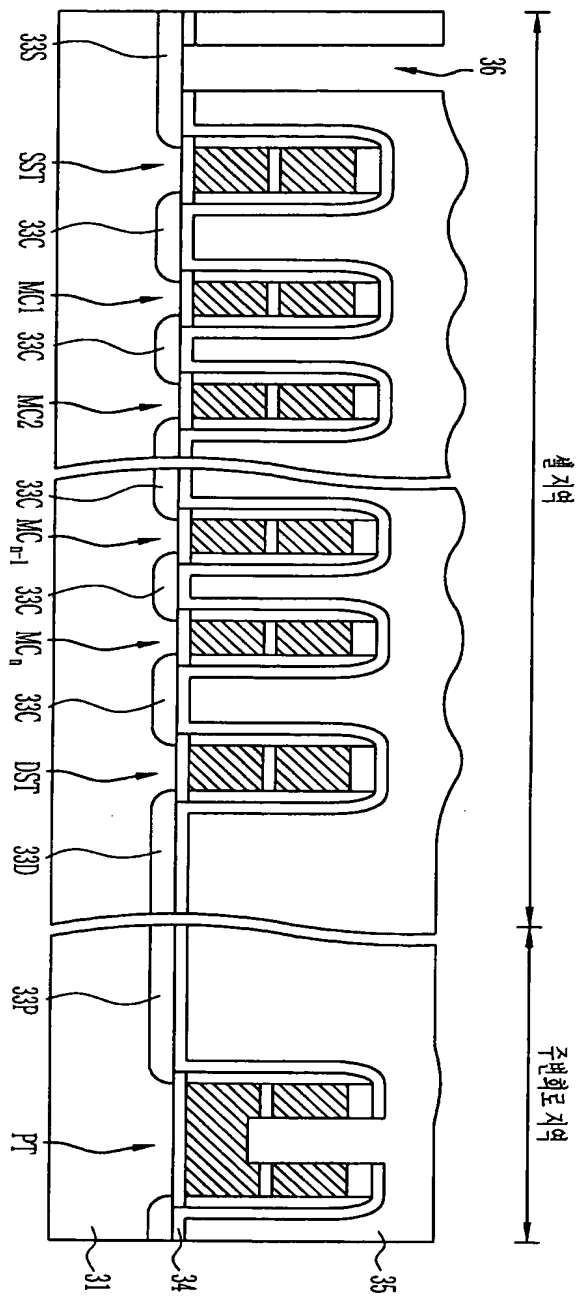




【도 2b】

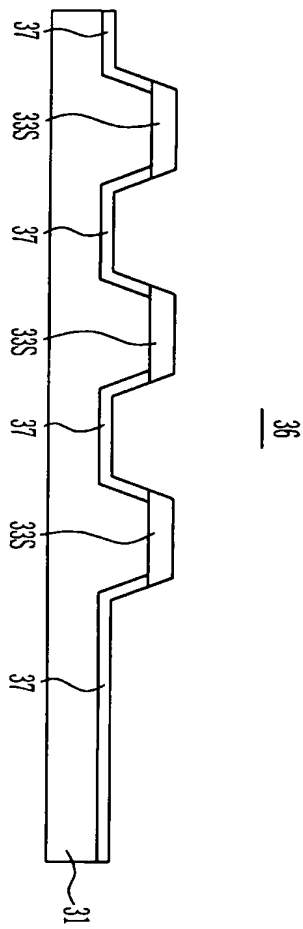


【도 3a】

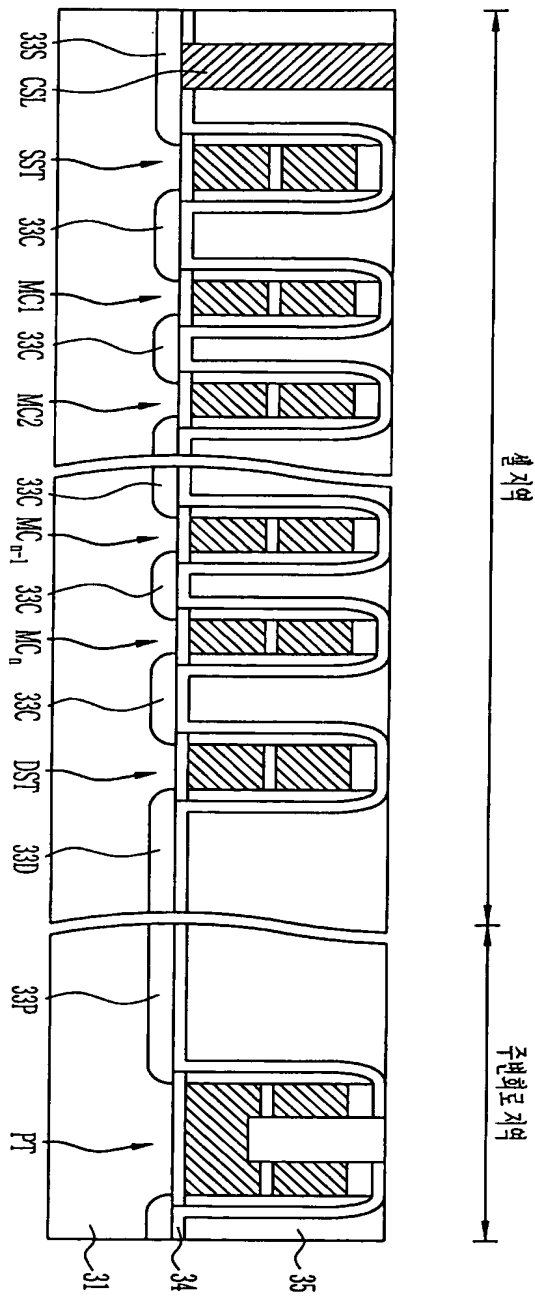




【도 3b】



【도 4a】

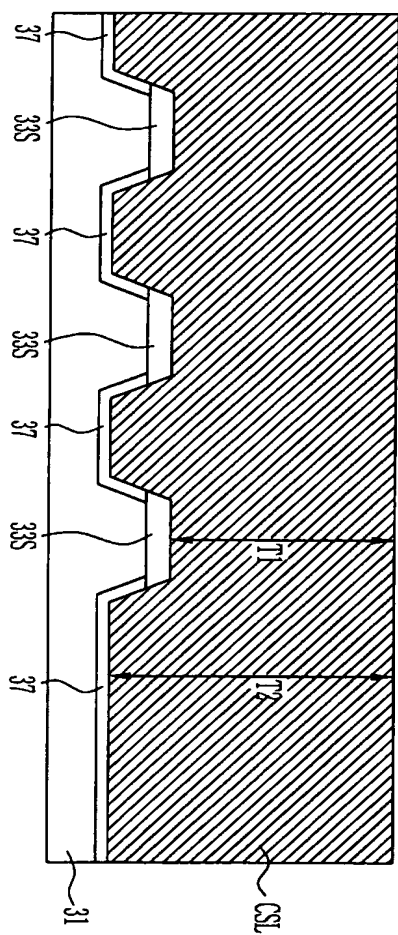




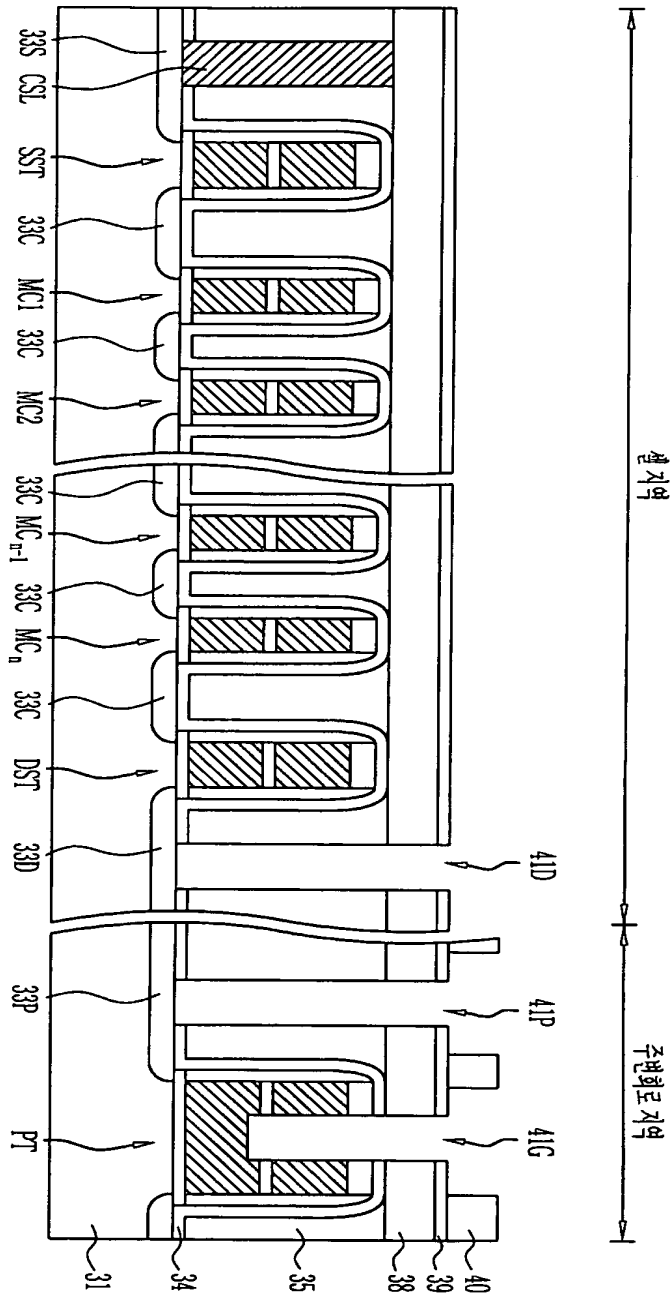
1020030021059

출력 일자: 2003/10/13

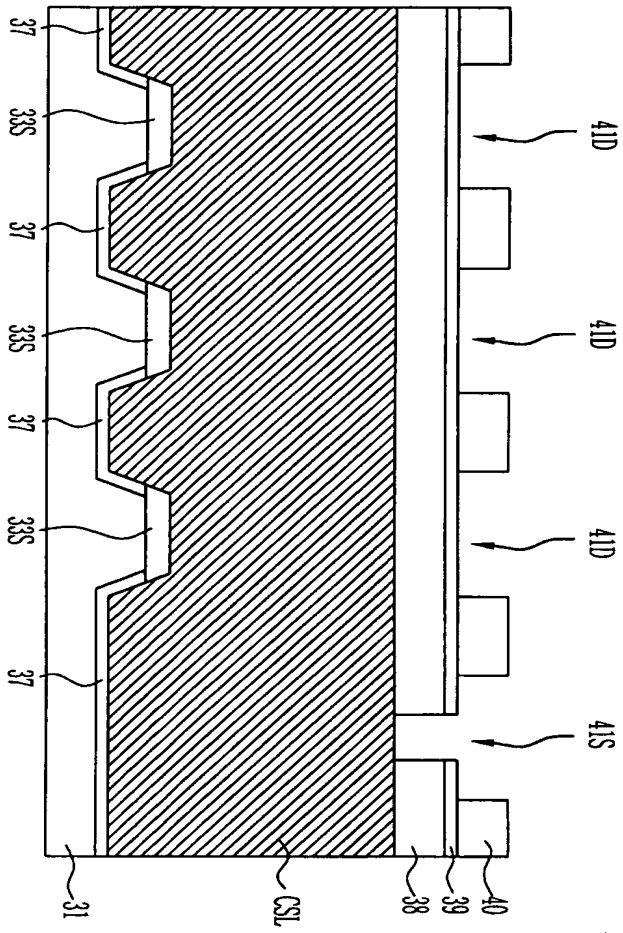
【도 4b】



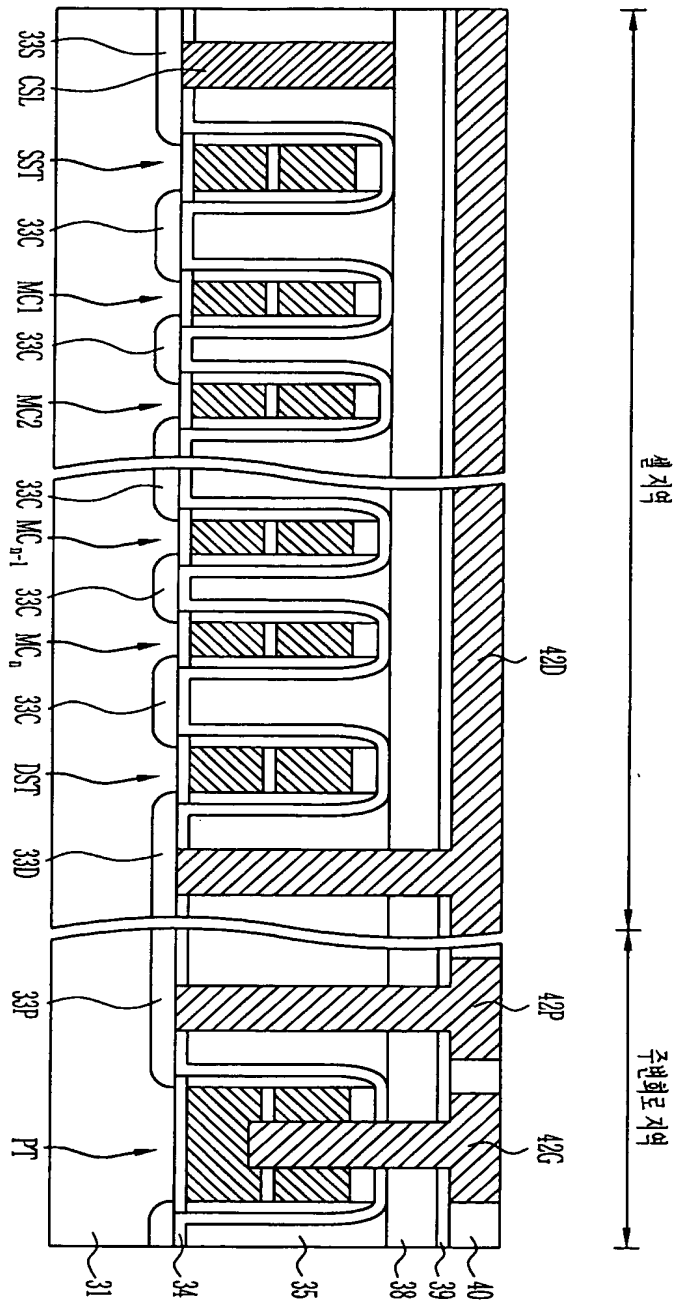
【도 5a】



【도 5b】



【도 6a】







【도 6b】

